

JA 0096598

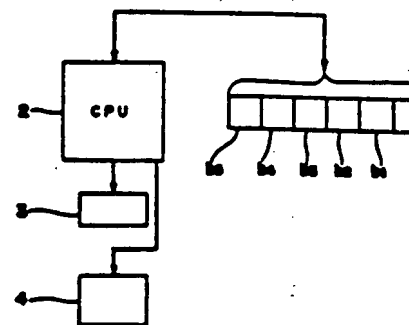
MAY 1986

(54) COUNT DATA MEMORY METHOD OF ELECTRIC ERASABLE P-ROM

(11) 61-96598 (A) (43) 15.5.1986 (19) JP
 (21) Appl. No. 59-218813 (22) 17.10.1984
 (71) FUJI ELECTRIC CO LTD (72) YUTAKA HANIYU
 (51) Int. Cl. G11C17/00, H03K21/00

PURPOSE: To use respective memory elements up to the life by rotating relatively the digit of count data and the digit of the memory element so as to share the digit with a low rewriting frequency.

CONSTITUTION: After initialization, P-ROM1 is counted up by an impressed signal from CPU-2. Immediately after ROM1 starts to be used, an element b_0 stores respectively 10^0 digits of the count data, thereafter, b_1, b_2, \dots store $10^1, 10^2, \dots$ digits. When the CPU2 detects that an element b_i changes from 0~1, the digit of the data stored by respective elements is rotated so that the element b_0 can become a digit of 10^1 , b_1 can become a digit of 10^2 and b_2 can become a digit of 10^3 . In this case, it is detected that the rewriting of the element b_0 storing the 10^0 digit becomes close to an erasable frequency, and 10^{th} digit with many using frequencies is stored to the element b_i with a small number of using frequencies. At every one time of rotation, a counter 3 is stepped, ROM1 is cleared up, $m \times 10^n$ is multiplied to the count value, and the result is stored to a memory 4 and next, stored in ROM1.



SEC 006339

Cited by Saw Sang
1196

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭61-96598

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月15日

G 11 C 17/00
H 03 K 21/00

1 0 1

6549-5B
6749-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 電気的消去可能なP-ROMのカウントデータ記憶方法

⑮ 特 願 昭59-218813

⑯ 出 願 昭59(1984)10月17日

⑰ 発 明 者 羽 生 裕 川崎市川崎区田辺新田1番1号 富士電機株式会社内
⑱ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号
⑲ 代 理 人 弁理士 青山 葆 外2名

明 細 書

1. 発明の名称

電気的消去可能なP-ROMのカウントデータ
記憶方法

2. 特許請求の範囲

電気的に書き換え可能な複数桁の記憶素子を含む
P-ROMをカウントデータ記憶手段として
用いる場合において、カウントデータのうち書き
換え頻度の高い桁を分離していた記憶素子の書き
換え回数が所定値になったとき、書き換え頻度の
低い桁を分離するように、カウントデータの桁と
記憶素子の群とを逐対的にローテーションさせる
ことを特徴とする電気的消去可能なP-ROMの
カウントデータ記憶方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電気的消去可能なP-ROMを用いた
カウントデータ記憶方法に関する。

〔従来技術とその問題点〕

記憶データを電気的に消去可能なP-ROMで

は、記憶素子のデータを再び入れる度に記憶素子
のスレッショルド電圧値が変化するため、最終的に
は記憶素子は永久に消去されたままになり、デ
ータ書き換えの頻度の回数に制限がある。このP
-ROMを電子カウンタのカウントデータ記憶手
段として使用した場合、使用頻度の最も高い1の
桁(10⁰桁)を制御する素子は一番先に消去回数
回数を超え寿命が尽きる。これを防ぐ為に、1の
桁に関しては、予備の記憶素子を用意しておく
という方法も考えられるが、この方法では、メモリ
領域がその分だけ減少し、P-ROMの持つ機能
を付加に生かす事が出来ないという問題があった。

〔発明の目的〕

本発明は、各記憶素子を使用頻度の異なる各桁
毎に逐次ローテーションさせることにより、各記
憶素子を寿命近くまで有効に利用出来るP-ROM
のカウントデータ記憶方法を提供することを目
的とする。

〔発明の構成〕

本発明の電気的消去可能なP-ROMのカウン

特開昭61- 96598(2)

トデータ記憶方法は電気的に書き換え可能な、進数桁の記憶素子を有するP-ROMをカウンタデータ記憶手段として用いる場合において、カウンタデータのうち書き換え頻度の高い桁を分組していた記憶素子の書き換え回数が所定値になったとき、書き換え頻度の低い桁を分組するように、カウンタデータの桁と記憶素子の桁とを相対的にローテーションさせることを特徴とする。

【実施例】

以下に、この発明の1実施例を図面とともに説明する。

第1図において、1はカウンタデータ記憶手段としての電気的に書き換え可能なP-ROMであり、1₀、1₁、1₂はカウンタデータの各桁の記憶素子を示している。

2はCPUでP-ROM1へのカウンタデータの書き込みを制御するとともに、後述するようなP-ROMの記憶桁のローテーションを制御する。

3はローテーションの回数を計数するカウンタで、このカウンタも電気的に書き換え可能なP-ROM

Mを用いて構成することができる。4はメモリ(RAM)である。

P-ROM1の各素子への書き込み・消去が $a \times 10^b + c$ 回(a 、 c は自然数、 $a < 10^b$)で不能となる場合(例えば12万回で不能となる場合、 $a=1$ 、 $b=5$ 、 $c=20000$ である。)について、以下第2図と第3図を参照して本発明をさらに詳細に説明する。

ステップS1では初期化としてP-ROM1の各素子1₀、1₁、1₂をすべて0にリセットする。

ステップS2でP-ROM1はCPU2から印加される信号によってカウンタ動作を始め、カウンタアップする。

なお、この実施例においては、P-ROM1の使用開始直後は最上右側の素子1₀が、カウンタデータの1の位(10⁰桁)、以後左へ順に1₁、1₂が10¹、10²の位(10¹、10²桁)をそれぞれ記憶するものとする。

ステップS3では10⁵桁、この実施例では1₀のデータが a の値数倍になったかどうか(変化し

た時点)をCPU2が判断する。

例えば、P-ROM1の各素子への書き込み・消去が12万回で不能とされる場合には12万回 $=1 \times 10^5 + 20000$ 回なので $a=1$ に設定しておく、こうしておく事で、10⁵桁目すなわち1桁目が $a \times 10^5$ 回動作したかどうかを検知する。

ここで、10⁵桁のデータが a の値数倍(カウンタデータ $= a \times 10^5$)であれば、即ち素子1₀が「1」になるとステップS4に進み、P-ROM1の各桁を左へ1桁分だけローテーションする。

第3図にローテーションの例を示す。

即ち、P-ROM1の素子1₀が0から1に変わったことをCPU2が検出すると、P-ROM1の素子1₀が10¹の桁、1₁は10⁰の桁、素子1₂は10²の桁というように各素子が記憶するデータの桁のローテーションが行われる。

即ち10⁵桁を記憶する素子1₀の書き換えが1回不能となる回数達くなった事(第2図の例では12万回の書き換えで不能となる素子を使用する場合には10万回で他の素子に代替される。)

を検知し、使用頻度の少ない素子1₁、1₂を使用頻度の多い10⁵桁目を記憶させる事にある。

このとき、限界まで使用された10⁵桁目を記憶していた素子1₀は最も使用頻度の少ない最上桁(10⁵桁)を記憶するものとする。

ステップS5では、上述のローテーション1回行なう毎にカウンタ3が1ずつカウントし、ステップS6でP-ROM1をクリアし、ステップS5でのカウンタ3のカウント値に $a \times 10^5$ (この実施例では1 $\times 10^5$)を加えてその結果をステップS7にて、いったんメモリ4へ格納する。

そしてステップS8ではその格納結果(即ち、現在のカウンタデータ)をP-ROM1に(記憶)させる。その後はステップS2に戻り、再びカウンタアップを始める。このとき素子1₀が10⁵桁を記憶する。

尚、ステップS8において、カウンタデータ(P-ROM1の記憶内容)は、1桁目で $a \times 10^5$ 、2桁目では $2a \times 10^5$ 、3桁目では $3a \times 10^5$ となる。

この発明では各桁を記憶する素子、書き込み・消去が不能となる回数のある程度以下で使用する事が可能となっている。

このある程度以下を要するものが、最初に述べた $a \cdot 10^5 + a$ の a である。例えば8桁のカウンタで1桁目が 10^5 回動作したらローテーションするようにしたとする。

この時、ローテーションを5回すなわち、各桁を記憶する素子を均等に使用した場合、その素子の書き込み・消去回数は $10^5 + 10^5 + 10^5 + 10^5 + 10^5 + 10^5 + 10^5 + 10^5 = 1111, 111$ 回となる。すなわち、この方法(1桁目が 10^5 回動作したらローテーションする方式)は、P-ROMの書き込み消去回数が1111111回以上の物($a > 11111 = 1111, 111 = 100000$)でなければならない。

この様に、 a 値の設定には制約がある。

P-ROMへの書き込み・消去回数を X 回とする
と X は、次式(1)で表わす事ができる。

$$X = a \cdot 10^5 + a \quad (a, a \text{ は自然数, } a < 10^5) \quad (1)$$

ここで、 10^5 桁のデータが a になったら各桁をローテーションするソフトウェアに於いて、 a 回ローテーションした結果各素子への書き込み・消去は、次式(2)で表わされる回数に分けられた事になる。

$$\text{書き込み消去回数 } N = a \cdot (10^5 + 10^5 + \dots + 10^5) \text{ 回} \quad (2)$$

各桁をローテーションする前に素子がダウンスレミされない為には、P-ROMへの書き込み・消去回数 X は、 N 回の書き込み・消去回数 N より大きくなければならない。

$$X - N > 0 \quad (3)$$

(1), (2), (3)式より

$$a > a(10^5 + 10^5 + \dots + 10^5) \quad (4)$$

a の値は上式(4)を満たす必要があり、上式を満足できないときは a の値を変えればよい。

上記の方法によれば各素子の使用回数の均一化を計ることができる。

発明の効果

本発明によれば、P-ROMの素子への書き込み・消去回数を設定する事でカウントデータの各桁を記憶する各素子について、ある素子が書き込み・消去回数に達すると、ローテーションをして、素子において書き換え回数の低かった素子には、書き換え回数の高い桁を分配させ、逆に素子において書き換え回数の高かった素子には、書き換え回数の低い桁を分配させることにより、上記のローテーションを回数分だけ行なってカウントデータを記憶することができるので、P-ROMの各素子を均等に動作させてより多くの数をカウントする事ができ、非常に効果的である。

4. 図面の簡単な説明

第1図は本発明の1実施例を示すブロック図、第2図は第1図の実施例の動作を示すフローチャート図、第3図は第2図における動作を示す図である。

1…P-ROM、 2…CPU、

3…ローテーションカウンタ、 4…メモリ。

第 1 図

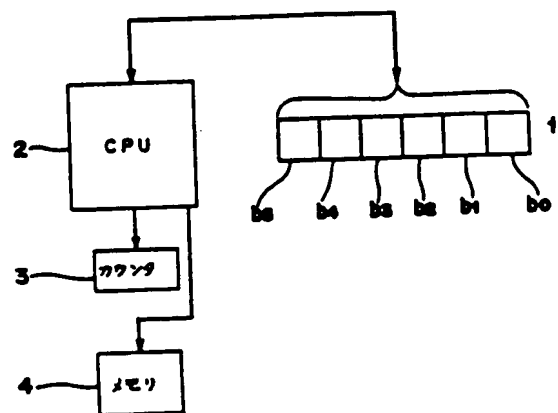


図 2 図

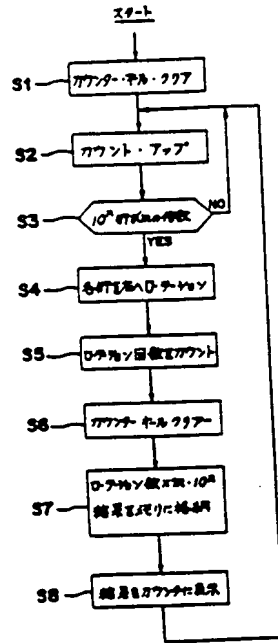


図 3 図

